

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-084815

(43)Date of publication of application : 26.03.1990

(51)Int.CI.

H03K 19/00  
 H01L 27/04  
 H01L 27/118  
 H03K 5/02  
 H03K 19/0175

(21)Application number : 63-236089

(71)Applicant : HITACHI LTD  
 HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 20.09.1988

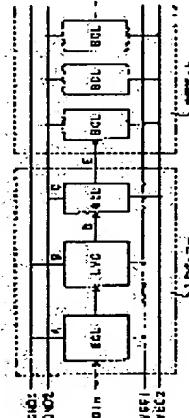
(72)Inventor : KURAISHI TAKASHI  
 MORISHIGE TAKAHARU  
 OKA NORIAKI  
 TAKAHASHI SHIGERU  
 KOMATSU TORU

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To increase an operating margin by providing power supply lines separately by a circuit part to decide the essential input threshold value level of an input buffer having a level conversion function, and a circuit part other than that.

**CONSTITUTION:** An emitter coupled logic(ECL) and a level conversion circuit(LVC) decide the input threshold value level essentially. Therefore, it is necessary to prevent a noise from another circuit from being inputted, and the noise from the another circuit is prevented from being inputted by providing the power source supply line GND1 and a source voltage VEE1, thereby, the improvement of the operating margin can be attained. On the other hand, inputted/outputted signal amplitude is provided with a sufficient level margin in an output circuit BCL like the one of a source voltage VEE2. Therefore, it can be allowed to connect the output circuit BCL to an internal gate by the same power supply line GND2 and voltage VEE2. In such a way, it is possible to prevent the noise generated at the circuit BCL from being transmitted to the differential circuit ECL or the circuit LVC by separating the power source supply line, which secures the operating margin.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 平2-84815

⑬ Int.Cl.  
 H 03 K 19/00

識別記号 厅内整理番号  
 A 8326-5J

⑭ 公開 平成2年(1990)3月26日

8326-5F H 01 L 21/82

8326-5J H 03 K 19/00 101 M

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特許庁 昭63-236089

⑰ 出願日 昭63(1988)9月20日

⑱ 発明者 倉石 孝 東京都高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発明者 森重 隆春 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出願人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

㉒ 代理人 弁理士 傅若光政  
 最終頁に続く

### 明細書

#### 1. 発明の名称

半導体集積回路装置

#### 2. 特許請求の範囲

1. 実質的な入力スレッシュホールドレベルを決定する回路部分と、それ以外の回路部分とで電源供給線がそれぞれ分離して設けられる入力バッファを具備することを特徴とする半導体集積回路装置。

2. 上記入力バッファは、外部端子から供給される比較的小さな信号振幅の入力信号を受ける入力部、その出力信号を受けて内部回路の比較的大きな信号振幅に変換するレベル変換部及びレベル変換出力を受けて内部論理回路に伝えられる入力信号を形成する出力部からなり、上記実質的な入力スレッシュホールドレベルを決定する回路部分である入力部及びレベル変換部を第1の電源供給線に接続し、それ以外の回路部分である出力部を内部論理回路と同じ第2の電源供給線に接続するものであることを特徴とする

特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記入力バッファの入力部は、ECL信号を受ける差動回路であり、レベル変換部はECLレベルをCMOSレベルに変換する回路であり、出力部は内部論理回路と同じ構成のDI-CMOS回路であることを特徴とする特許請求の範囲第2項記載の半導体集積回路装置。

#### 3. 発明の詳細な説明

##### (産業上の利用分野)

この発明は、半導体集積回路装置に関し、例えばECL(エキック・カップルド・ロジック)信号を受けて、内部回路をCMOSレベルで動作させるようにしたゲートアレイに利用して有効な技術に関するものである。

##### (従来の技術)

ゲートアレイにおいては、ゲートを規則的正しく並べている半導体チップを半導体メーカーが用意し、これを使用するユーザーがそのまま基づいて半導体チップ上のゲートの回路配線を行い、半

導体メーカーがその配線マスクを作り所望の回路機能を持ったカスタムLSIを作り上げるものである。このようなゲートアレイに関しては、例えば1985年11月「電子技術」誌、頁32~頁39がある。

(発明が解決しようとする課題)

上記のようなゲートアレイ等にあっては、出力回路は比較的大きな負荷を駆動できるようにする必要があり、それに従い比較的大きな出力電流を流すようにされる。半導体集積回路の出力端子には、出力信号の高速な立ち上がりや立ち下がりに対して無視できないインダクタンス成分を持ち、上記出力信号の変化時に電源供給線(電源電圧線と回路の接地線)に無視できないノイズを発生させる。そのため、上記出力回路で発生するノイズが入力回路に影響しないよう電源供給線を分離することが実施されている。

しかしながら、低消費電力を図りつつ、高速化も実現するため、内部回路をバイポーラ型トランジスタとCMOS回路を組み合わせたBi-CM

OS回路で構成し、外部に対してはBCLコンバチブルにしたゲートアレイを開発するにあたり、入力バッファにおいては、ECLレベルの入力信号を内部のCMOS回路用のレベルに変換させるような機能が必要になった。この場合、入力バッファは、第6図に示すように、実質的に入力スレッシュホールドレベルを決定する差動回路BCL及びレベル変換回路LVCと、所望のファンアウト数を得るための出力回路BCLとから構成され、上記出力回路BCLでは信号の切り換え時に電源供給線GND、VBEに比較的大きなノイズを発生させるものとなり、それが電源供給線GNDやVBEを通して差動回路BCL及びレベル変換回路LVCに伝えられ、上記信号振幅の小さなBCLレベルを受ける入力部での動作マージンが十分でないことが判明した。

この発明の目的は、動作マージンを大きくした入力バッファを備えた半導体集積回路装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、レベル変換機能を持つ入力バッファにおいて、実質的な入力スレッシュホールドレベルを決定する回路部分と、それ以外の回路部分とで電源供給線を切り分けて設ける。

(作用)

上記した手段によれば、実質的な入力スレッシュホールドレベルを決定する回路部分の電源供給線に他の回路で発生したノイズが伝えられないから動作マージンを大きくできる。

(実施例)

第1図には、この発明が適用されたゲートアレイの要部一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。

入力バッファは、外部から供給されるBCLレベルの入力信号Dinを受ける差動回路からなる入力回路BCLと、その出力信号を受けてCMOSレベルの信号Dに変換するレベル変換回路LVCと、レベル変換出力を受けて内部ゲートに伝えられる入力信号Eを形成する出力回路BCLから構成される。この出力回路BCLは、後述するよな内部ゲートを構成する論理回路と同じ構成とされ、入力バッファが所望のファンアウト数を持つようにするために設けられる。

内部ゲートは、後述するようなバイポーラ型トランジスタとCMOS回路とを組み合わせた論理回路BCLからなり、上記出力回路BCLと同じ構成にされる。

この実施例では、入力バッファにおける動作マージンを確保するために、実質的な入力スレッシュホールドレベルを決める上記差動回路BCLとレベル変換回路LVCを独立した接地線GND1及び電源電圧線VBE1に接続する。これに対して、上記出力回路BCLは、特に制限されないが、

内部ゲートと同じ接地線 GND 2 及び電源電圧線 VEE 2 に接続される。すなわち、この実施例では、入力バッファを構成する回路でも、その機能や動作に応じて、上記のように電源供給線を切り分けて設けるものである。

第2図には、上記差動回路 ECL の一実施例の具体的回路図が示されている。

入力トランジスタ T1 のベースは、入力信号 D<sub>in</sub> が供給される外部端子に接続される。このトランジスタ T1 と差動形態にされたトランジスタ T2 のベースには、基準電圧 VBB が供給される。上記差動トランジスタ T1 と T2 の共通エミッタには、動作電流 I<sub>o</sub> を流す定電流源が設けられる。上記差動トランジスタ T1 と T2 のコレクタには、負荷抵抗 R1 と R2 がそれぞれ設けられる。上記差動トランジスタ T1 と T2 のコレクタ出力は、トランジスタ T3, T4 とエミッタ抵抗 R3, R4 からそれぞれ構成されるエミッタフォロワ出力回路を通して反転出力信号 D̄ および非反転出力信号 D<sub>o</sub> として出力される。このような差動回路は

CL は、上記接地線 GND 1 と電源電圧線 VEE 1 から動作電圧が供給される。

第3図には、上記レベル変換回路 LVC の一実施例の具体的回路図が示されている。同図において、PチャンネルMOSFET は、そのチャンネル（バックゲート）部に矢印が付加されることによってNチャンネルMOSFET と区別される。このことは、以下に説明する第4図においても同様である。

上記差動回路 ECL の出力信号 D<sub>o</sub> と D̄ は、PチャンネルMOSFET Q1 と Q2 のゲートに供給される。これらの PチャンネルMOSFET Q1 と Q2 のドレインには、電流ミラー形態にされた NチャンネルMOSFET Q3 と Q4 が設けられる。上記 PチャンネルMOSFET Q2 と NチャンネルMOSFET Q4 の共通化されたドレインから CMOS レベルに変換された出力信号 D を得るものである。

この実施例回路のレベル変換動作は、以下の通りである。

差動回路 ECL の非反転出力信号 D<sub>o</sub> がハイレベルで、反転の出力信号 D̄ がロウレベルのとき、PチャンネルMOSFET Q1 のコンダクタンスが小さく、Q2 のコンダクタンスが大きくなる。上記小さなコンダクタンスの PチャンネルMOSFET Q1 から流れる電流に対応した電流を流す NチャンネルMOSFET Q3 と Q4 も同様に小さなコンダクタンスを持つようになる。それ故、出力信号 D は大きなコンダクタンスの PチャンネルMOSFET Q2 と小さなコンダクタンスの NチャンネルMOSFET Q4 とのコンダクタンス比に対応してほど回路の接地電位 GND 1 のようなハイレベルにされる。これに対して、差動回路 ECL の非反転出力信号 D<sub>o</sub> がロウレベルで、反転の出力信号 D̄ がハイレベルのとき、PチャンネルMOSFET Q1 のコンダクタンスが大きく、Q2 のコンダクタンスが小さくなる。上記大きなコンダクタンスの PチャンネルMOSFET Q1 から流れる電流に対応した電流を流す NチャンネルMOSFET Q3 と Q4 も同様に大きなコンダ

クタンスを持つようになる。それ故、出力信号 D は小さなコンダクタンスの PチャンネルMOSFET Q2 と大きなコンダクタンスの NチャンネルMOSFET Q4 とのコンダクタンス比に対応してほど電源電圧 VEE 1 のようなロウレベルにされる。上記のような MOSFET の増幅作用によって、比較的小さな信号振幅の ECL レベルを動作電圧 VEE 1 のもとでフルスイングする CMOS レベルの信号に変換できる。

第4図には、上記出力回路（内部ゲートの論理回路）の一実施例の回路図が示されている。

この出力回路は、CMOS 回路の出力部にバイポーラ型トランジスタが設けられる。すなわち、PチャンネルMOSFET Q5 と NチャンネルMOSFET Q6 からなる CMOS インバータ回路に対して、PチャンネルMOSFET Q5 のドレイン側に抵抗 R5 を挿入し、NチャンネルMOSFET Q6 のソース側に抵抗 R6 を挿入する。そして、PチャンネルMOSFET Q5 のドレイン出力を出力トランジスタ T5 のベースに供給し、

NチャンネルMOSFET Q6のソース出力を出力トランジスタT6のベースに供給する。上記トランジスタT5とT6とをカスケード接続し、その接続点であるトランジスタT5のエミッタとトランジスタT6のコレクタを上記PチャンネルMOSFET Q6のドレインと接続するとともに、そこから出力信号Bを得るものである。

例えば、上記レベル変換された入力信号Dがロウレベルで、PチャンネルMOSFET Q5がオノン状態になり、出力トランジスタT5を通してハイレベルの出力信号Bを形成しているとする。この状態から、入力信号Dをハイレベルに変化させると、PチャンネルMOSFET Q5がオフ状態に、NチャンネルMOSFET Q6がオン状態になる。上記PチャンネルMOSFET Q5のオフ状態に応じてベース電流の供給が遮断されるからトランジスタT6はオフ状態になる。上記NチャンネルMOSFET Q6のオン状態により、出力信号Bのハイレベルをディスクチャージさせる電流が抵抗R6に流れ、トランジスタT6をオン状態

にして、高速に出力信号Bのハイレベルをロウレベル側に引き抜き、最終的にはNチャンネルMOSFET Q6と抵抗R6を通して出力信号Bを電源電圧VBE2のようなロウレベルにする。

この出力回路BCIでは、出力電流をバイポーラ型トランジスタで形成するものであるため、CMOS回路等のように容量性負荷を高速に駆動することができる。

なお、内部ゲートを構成する論理回路BCIでは、CMOS回路で論理ブロックを構成し、出力部に上記のようなカスケード接続された準コンプリメンタリブッシュブル形態の出力トランジスタが設けられる。すなわち、 NANDゲート回路では、その入力数に応じて複数のNチャンネルMOSFETが直列形態に接続され、複数のPチャンネルMOSFETが並列形態に接続される。ノアゲート回路では、その入力数に応じて複数のNチャンネルMOSFETが並列形態に接続され、複数のPチャンネルMOSFETが直列形態に接続される。

第5図には、この発明に係る半導体集積回路装置のブロック図が示されている。

半導体集積回路装置LS1の周辺には、入出力バッファが配置され、その内部に内部ゲートが配置される。

上記入出力バッファには、前記のような入力バッファと出力バッファが設けられる。出力バッファは、図示しないが、前記のようなCMOSレベルの信号を差動回路等に供給して、BCIレベルに変換し、エミッタフォロワ形態の出力トランジスタを介して外部に送出させる出力信号を形成する。

上記入力バッファのうち、実質的に入力スレッシュホールドレベルを決める入力回路とレベル変換回路には、同図に点線で示すような電源供給線GND1とVBE1を配置し、その出力回路と内部ゲートには、電源供給線GND2とVBE2を配置する。なお、出力バッファにおける出力トランジスタには、特に制限されないが、上記以外の電源供給線が設けられる。

以上のゲートアレイにおいては、入力バッファを構成する差動回路BCIは、その出力レベルが接地電位GND1を基準にして決められることから、上記接地電位GND1に対応した点Aに生じるノイズは、ノイズマージンの低下及び誤動作の原因になる。また、BCIレベルの信号をCMOSレベルの信号に変換するレベル変換回路LVCは、上記のような比較的小さな信号振幅のレベルを増幅するものであり、上記接地電位GND1に対応した点Bに生じるノイズは、切り換え時のスイッチング速度の低下及び動作マージンの低下の原因となる。それ故、上記2つの回路BCIとしVLCとが実質的な入力スレッシュホールドレベルを決めるものであり、他の回路からのノイズが伝えられることを防止する必要がある。この実施例では、上記回路専用の電源供給線GND1とVBE1を設けるものであるため、他の回路からのノイズがのることが防止でき、結果として動作マージンの向上を図ることができる。

これに対して、出力回路BCIは、前記のよう

に電流駆動能力が大きく、その入力側の回路であるレベル変換回路 LVC の約 20 倍近い大きな電流供給能力を持つ。それ故、信号の切り換え時に比較的大きなスイッチングノイズを電源供給線 GND 2 や VBE 2 に発生させる。このスイッチングノイズは、上記出力回路 BCL のファンアウト数に比例して大きくなり、ゲートアレイの性格上比較的大きなファンアウト数になるから、上記出力回路 BCL では大きなノイズを発生させる。

この出力回路 BCL や内部ゲートを構成する論理回路 BCL では、その入出力の信号振幅は電源電圧 VEE 2 のように大きく、十分なレベルマージンを持つものである。それ故、出力回路 BCL と内部ゲートとを同じ電源供給線 GND 2 と VEE 2 により接続しも何等問題がない。このような電源供給線の切り分けにより、上記出力回路 BCL で発生したノイズが差動回路 ECL やレベル変換回路 LVC に伝えられことがなく、ECL レベルのように比較的小さな信号振幅の入力信号を受ける差動回路 ECL やレベル変換回路 LVC での

動作マージンを確保することができる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) レベル変換機能を持つ入力バッファにおいて、実質的な入力スレッシュホールドレベルを決定する回路部分と、それ以外の回路部分とで電源供給線を切り分けて設けることにより、実質的な入力スレッシュホールドレベルを決定する回路部分の電源供給線に他の回路で発生したノイズが伝えられないから動作マージンを大きくできるという効果が得られる。

(2) 内部ゲートを CMOS 回路にバイポーラ型出力トランジスタを加えた構成を探ることにより、高集積化と低消費電力を図りつつ、高速化を実現した半導体集積回路装置を得ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでも

ない。例えば、内部ゲートは、CMOS 回路から構成されてもよい。この場合、入力バッファの出力回路もそれに合わせて CMOS 回路にされる。また、TTL レベルの入力を取り込むための入力バッファとして、前記のような BCL 入力バッファの前段に TTL/ECL のレベル変換回路を設ける構成としてもよい。入力バッファの差動回路 BCL で複数入力を受ける論理を探る構成としてもよい。また、ECL レベルを CMOS レベルに変換するためのレベル変換回路の具体的構成は何であってもよい。このように、入力バッファにおける入力部やレベル変換部及び出力部の具体的構成は、入力される信号レベルや、内部回路の信号レベルに応じて種々の実施形態を探ることができるものである。

この発明は、前記のようなレベル変換機能を備えた入力バッファを具備するゲートアレイ等各種半導体集積回路装置に広く利用できる。

#### 【発明の効果】

本願において開示される発明のうち代表的なも

のによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、レベル変換機能を持つ入力バッファにおいて、実質的な入力スレッシュホールドレベルを決定する回路部分と、それ以外の回路部分とで電源供給線を切り分けて設けることにより、実質的な入力スレッシュホールドレベルを決定する回路部分の電源供給線に他の回路で発生したノイズが伝えられないから動作マージンを大きくできる。

#### 4. 図面の簡単な説明

第 1 図は、この発明の一実施例を示す要部ブロック図。

第 2 図は、その差動回路 ECL の一実施例を示す具体的回路図。

第 3 図は、そのレベル変換回路 LVC の一実施例を示す具体的回路図。

第 4 図は、その出力回路 BCL の一実施例を示す具体的回路図。

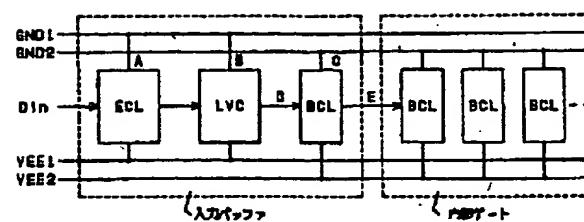
第 5 図は、この発明に係る半導体集積回路装置の電源供給線の配置の一例を示すブロック図。

第6図は、この発明に先立って検討された入力パッファのブロック図である。

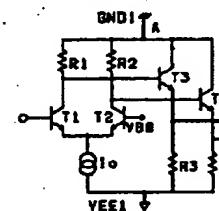
L S I . . 半導体集積回路装置、E C L . . 差動回路、L V C . . レベル変換回路、B C L . . 出力回路（内部論理ゲート）

代理人弁理士 德若 光政

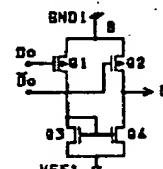
第1図



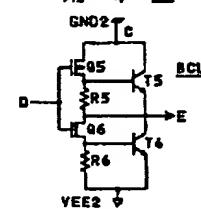
第2図



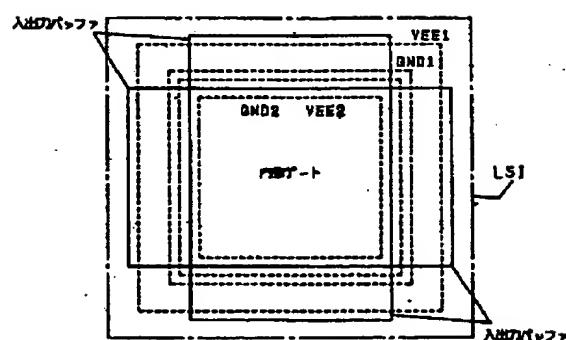
第3図



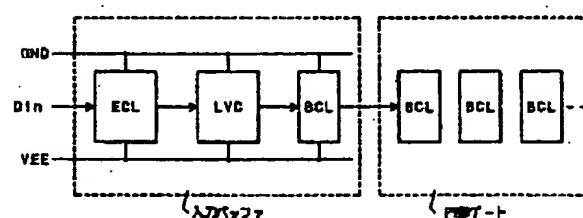
第4図



第5図



第6図



第1頁の続き

@Int.Cl.<sup>3</sup>  
H 01 L 27/04  
27/118  
H 03 K 5/02  
19/0175

識別記号 庁内整理番号  
D 7514-5F  
L 7631-5J

⑦発明者 岡 則 昭 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑦発明者 高 橋 卯 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑦発明者 小 松 徹 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内